CEPC CMOS 硅像素探测器研制

朱宏博(高能所)

核探测与核电子学国家重点实验室2015年年会 中国科学技术大学,2015年4月11-12日





- 项目背景
- CMOS 硅像素探测原理及应用
- CMOS 硅像素探研制工作进展
- 小结

项目背景



 高能环形正负电子对撞机(CEPC)内层顶点探测器,对于重味夸克重建与分 辨至关重要(如测量Higgs衰变分支比),要求横向碰撞参数精度:

$$\sigma_{r\phi} = 5 \oplus \frac{10}{(p \cdot \sin^{3/2} \theta)} \ \mu m$$

- CEPC顶点探测器拟采用三层双面结构,主要技术指标如下:
 - 最内层像素探测器空间分辨率优于 3µm
 - 物质量(包括传感器、电子学、冷却和机械支撑等)每层单面小于0.15% → 减小粒子多次散射效应
 - 抗辐照要求: 总剂量~300 kRad/年, 非电离能~10¹²1 MeV neq/年
- 低物质量要求采用减薄技术(ASIC+传感器厚度50 µm);采用风冷技术,受 限于冷却能力,要求尽量降低电子学+传感器功耗,控制在50 mW/cm²以下。





- 根据灵敏区(传感器)是否与前端电子学是否分离,可以简单分为复合式 (Hybrid)和单片式(Monolithic)
 - 复合式: 传感器采用特种工艺, 平面或是3D结构, 全耗尽(抗辐照);
 ASIC集成完整数字、模拟电路, 采用深亚微米CMOS工艺(抗辐照); 线
 绑定或倒装焊连接。例如ATLAS/CMOS像素探测器, 高能所同步辐射像素
 探测器等;
 - 单片式: 灵敏区与前端电子学集成于同一硅基衬底, 低功耗、高分辨率、低物质量; 读出慢、抗辐照性能中等,例如CPS、SOI、DEPFET等。





CMOS 硅像素探测器原理





- 基于CMOS工艺及(高阻)外延层,电荷主要通过扩散至电极被收集。
- 像素内的电子学+外围电路均集成至同一硅基衬底,可减薄。

CMOS硅像素探测器应用(I)

- STAR Heavy Flavour Tracker (HFT) @RHIC
 - 采用法国IPHC实验室设计的ULTIMATE芯片(面积~2 cm × 2 cm)
 - 采用AMS 0.35 µm CMOS工艺
 - 尺寸 20.7µm×20.7µm(空间分辨率约 6µm)
 - 列级甄别器,百叶窗式读出,像素内实现 相关双采样(CDS),积分时间185.6 µs
 - 功耗~170 mW/cm2 @ 3.3 V
 - 芯片厚度50 µm
 - 探测器于2013年末安装,2014年开始取数

L. Greiner, FEE 2014



NIEL: 2×10¹¹-10¹² 1MeV n^{eq}/cm²

物质量: 0.37% Xo/层



中科院高能物理研究所

CEPC CMOS 硅像素探测器研制, 朱宏博

7

CMOS硅像素探测器应用(II)

- ALICE Inner Tracking System (ITS) Upgrade
- ITS 探测器结构
 - 3内层(0.3%X0) + 4外层(0.8%X0)
 - 目前几种不同结构的像素芯片正在研发中
 - 将于2018-19 期间安装
- 像素芯片技术指标
 - 采用0.18 高阻外延层CMOS工艺
 - •芯片尺寸: 15 mm × 30 mm, 减薄至50 µm
 - 像素尺寸: 30 µm × 30 µm
 - 积分时间: < 30 µs
 - 功耗要求:内层 < 300 mW/cm²,外层 <10(mW/cm²
 对CEPC CMOS探测器研制有重要借鉴意义





工艺选择



- 咨询北京集成电路园各类CMOS工艺流片的可能性,基本要求:
 - 外延层(厚度10µm以上,高阻尤佳),多阱工艺。

	Feature size (µm)	EPI thickness	EPI resistivity	MPW availability	Price
TowerJazz	0.18 CIS	5.5 µm/?	30 Ω·cm/?	YES	600k CNY
	0.18 BCD	?	10 Ω·cm	YES	
	0.18 Power	No EPI	1kΩ·cm Sub		
XFAB	XH035	P-5/15 µm	8 Ω·cm	YES	
	XO035	P-14 µm	500-2kΩ·cm	YES	
	XH018	P-10 µm	15 Ω·cm	YES	125k CNY/10 mm ²
SMIC	0.13/0.18 CIS	P-7 μm N-6.5 μm	8.5-11.5 Ω·cm 22.5-27.5Ω·cm	UNLIKELY UNLIKELY	
GF	0.18 BCDlite	7 µm	1 Ω·cm	YES	30k CNY/9 mm ²
CSMC	0.25 BCD	7 µm		YES	
TSMC	CMOS	7-8 µm	1-10 Ω·cm	UNLIKELY	
AMS	C35 Opto	14/20 µm	10/400 Ω·cm	YES	120k CNY/MPW

最终选择 TowerJazz CIS 0.18 µm,基准外延层厚度18µm,阻值1 kΩ·m。该
 工艺目前用于ALICE ITS 升级硅像素探测器研制。

张颖(高能所)、张亮(山东大学)





六月底提交,重点研究电极性能(+像素尺寸),验证部分模拟电路 阵列1:

- 24 单元: A1-16 电极+源跟随器(SF); A17-24 电极+ 模拟前端
- 单元内: 16 列×48 行,读出时间(Rolling Shutter) 24 µs(2MHz时钟频)
- 16路模拟读出: 5位地址选通读出单元
- 阵列**2**:
 - 16单元: 电极+源级跟随器, 每个单元16 列×96 行, 读出时间 24 µs







• 常规的 2T/3T 读出结构







• 外接时钟频率: 2 MHz。每列像素读出需要一个时钟周期, 48列共计24 µs。







• A1-16: 二极管+源跟随器

T T	
	1
Hし イノメ ガシ リノ	

八边形 octo



正方形 octo



Sector	Shape	Diameter	Spacing	Structure
SF1	octo N, octo P	1.1 μm	2.45 μm	2T
SF2	octo N, octo P	1.5 μm	2.25 μm	2T
SF3	octo N, octo P	2 μm	2 μm	2T
SF4	octo N, octo P	2.5 μm	1.75 μm	2T
SF5	octo N, octo P	3.1 μm	1.45 μm	2T
SF6	octo N, octo P	1.5 μm	1.7 μm	2T
SF7	octo N, octo P	2 μm	1.45 μm	2T
SF8	octo N, octo P	2.5µm	1.2 μm	2T
SF9	octo N, octo P	3.1 μm	0.9 μm	2T
SF10	octo N, octo P	1.5 μm	1.05 μm	2T
SF11	octo N, octo P	2 μm	0.8 μm	2T
SF12	octo N, octo P	2.5 μm	0.55 μm	2T
SF13	octo N, octo P	3.1 μm	0.25 μm	2T
SF14	octo N, octo P	3.6 μm	0 μm	2T
SF15	octo N, octo P	2 μm	2 μm	3Т
SF16	octo N, octo P	3.1 μm	0.25 μm	3Т

赵梅(高能所)、付民(山东大学)



器件仿真

- 单像素仿真: 电场、电势分部等
- 像素阵列电荷收集时间、效率等





CEPC CMOS 硅像素探测器研制, 朱宏博







 对CEPC对撞区本底进行分类研究,最主要本底来源于辐射Bhabha事例和正 负电子对产生过程。目前对于同步辐射尚未深入研究。



击中密度:~7/BX/cm², TID: 300 kRad/年, NIEL: 10¹² 1 MeV n_{eq}/年





- 电荷收集效率(主要测试内容)
 - 设计制作读出PCB板,搭建数据采集系统
 - •利用55Fe等放射源测量不同参数电极的电荷收集效率
- 抗辐照测试
 - 考虑使用X光机辐照,研究抗辐照芯片性能
- Cluster大小及重建算法部分研究
 - 为未来采用像素内甄别器或多位ADC提供参考
 - 结果也可用于CEPC顶点探测器数字化方案

小结



- 介绍开展CEPC CMOS硅像素探测器的背景及探测器原理
- 计划6月底提交流片,设计工作进展顺利

感谢国家重点实验室支持!